



Laboratório de Lógica Configurável

Prof. Dr. Cesar da Costa

6.a Aula_LALOG_ Projeto e simulação de uma Década_Divisor por 10

❖ Projeto de Circuitos Sequenciais com FPGA

❑ Projeto e Simulação de uma Década (Divisor por 10)

- ❑ Nesta prática vamos projetar e testar o funcionamento de um circuito divisor por 10, baseado em flip-flop JK, que, quando combinado em blocos, pode dividir por até 10^{exp7} e obter uma frequência de 1 Hz, a partir de uma frequência de 10 MHz.
- ❑ Para criar um bloco divisor por 10, são utilizados cinco flip-flops TFF da biblioteca primitiva do software Quartus Prime. Ao término da prática, o leitor deve saber simular os resultados das saídas de um circuito digital divisor por 10 de acordo com as suas entradas, criar um arquivo de estímulos e interpretar o gráfico de formas de onda.

❖ Projeto de Circuitos Sequenciais com FPGA

O projeto é compilado e simulado. Se a compilação ocorrer sem nenhum erro, o resultado da simulação, saída Clkout, em função da entrada Clkin, é igual ao apresentado na Figura 3.35.

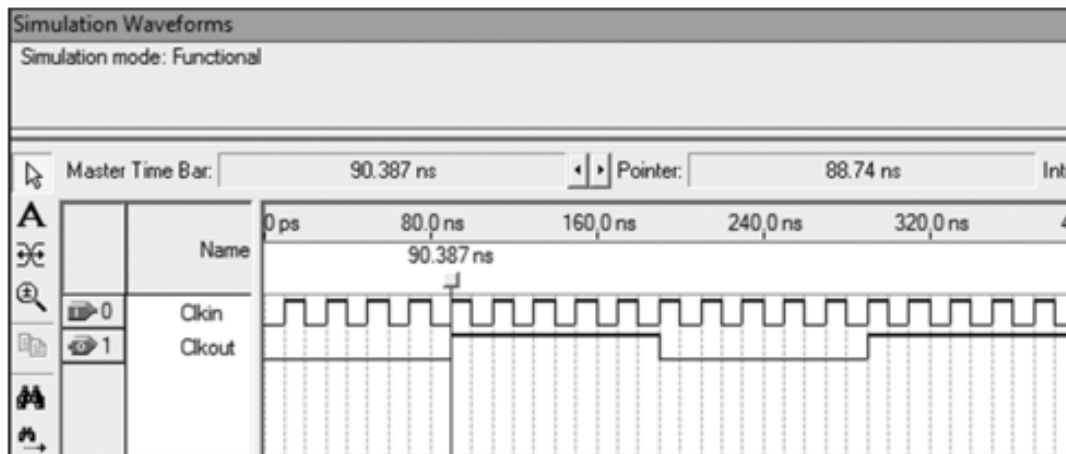


Figura 3.35 - Resultado da simulação do arquivo divisor_10.

❖ Projeto de Circuitos Sequenciais com FPGA

Para criar um símbolo gráfico do divisor_10, na tela do editor gráfico, clique no menu File, escolha a opção Create/Update. Na janela aberta selecione a opção Create Symbol Files for Current File. Salve o arquivo como divisor_10. Clique em OK. A Figura 3.36 mostra o bloco divisor_10.

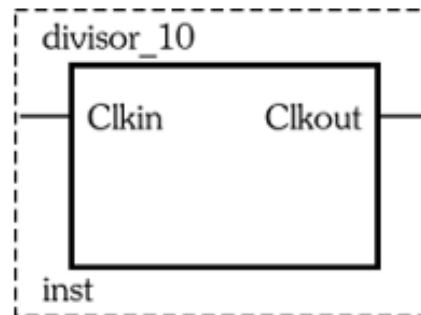


Figura 3.36 - Bloco lógico divisor_10.

Referências

http://professorcesarcosta.com.br/upload/imagens_upload/Tutorial%20Quartus_Rodrigo%20Rech.pdf

http://professorcesarcosta.com.br/upload/imagens_upload/DE10-Lite_User_Manual.pdf

<https://www.amazon.com.br/Projetos-Circuitos-Digitais-com-FPGA/dp/8536505850>